

1 Simulation de la fonction XOR

On observe que en mode fonctionnel le résultat du XOR apparaît immédiatement alors qu'en mode simulation temporelle il y a un décalage.

2 Autre programme

On implémente ces fonctions :

$$\begin{aligned}f_1(x_1, x_2, x_3) &= (x_1 \wedge x_2) \vee (x_2 \wedge x_3) \vee (x_1 \wedge x_3) \\f_2(x_1, x_2, x_3) &= \neg x_1\end{aligned}$$

comme ceci :

```
LIBRARY IEEE;
USE ieee.std_logic_1164.all;

ENTITY ex2 IS
PORT (x1, x2, x3, x4 : IN STD_LOGIC;
      f1, f2 : OUT STD_LOGIC);
END ex2;

ARCHITECTURE arch OF ex2 IS
BEGIN
f1 <= (x1 AND x2) OR (x2 AND x3) OR (x1 AND x3);
f2 <= NOT x1;
END arch;
```

On charge le programme et on observe que les LED comme quand cela doit se produire.